

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PTO 03-3271

Japanese Kokai Patent Application
No. Hei 4[1992]-157766

METHOD FOR MANUFACTURING SILICON GATE P-CHANNEL
MOS SEMICONDUCTOR DEVICE

Kenji Chishima

UNITED STATES PATENT AND TRADEMARK OFFICE
WASHINGTON, D.C. MAY 2003
TRANSLATED BY THE RALPH MCELROY TRANSLATION COMPANY

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. HEI 4[1992]-157766

Int. Cl. ⁵ :	H 01 L 28/784 21/265 21/266 27/092 H 01 L 27/78 27/08
Sequence Nos. for Office Use:	8422-4M 7738-4M 7735-4M
Filing No.:	Hei 2[1990]-282798
Filing Date:	October 20, 1990
Publication Date:	May 29, 1992
No. of Claims:	1 (Total of 4 pages)
Examination Request:	Not filed

METHOD FOR MANUFACTURING SILICON GATE P-CHANNEL MOS
SEMICONDUCTOR DEVICE

[Shirikon geto p channeru MOS handotai sochi no seizo hoho]

Inventor:	Kenji Chishima
Applicant:	Sony Corp.

[There are no amendments to this patent.]

Claim

A method for manufacturing a silicon gate p-channel MOS semiconductor device characterized by the fact that

it has a step of operation in which after silicon gate electrodes are formed on a gate insulating film made of silicon oxide on the surface of a substrate, nitrogen is ion implanted such

that the peak in the distribution of its concentration in the depth direction is located in the lower portion of a silicon gate electrode.

Detailed explanation of the invention

This invention will be described in the following order:

- A. Industrial application field
- B. Abstract of the invention
- C. Prior art
- D. Problems to be solved by the invention
- E. Means for solving the problems
- F. Operation
- G. Application Example (Figure 1)
- H. Effect of the invention

A. Industrial application field

This invention pertains to a method for manufacturing a silicon gate p-channel MOS semiconductor device. In particular, this invention pertains to a method for manufacturing a p-channel MOS semiconductor device with its gate electrodes made of p-type silicon.

B. Abstract of the invention

This invention pertains to a method for manufacturing a silicon gate p-channel MOS semiconductor device characterized by the fact that

in order to prevent the problem that boron B in a p-type silicon gate electrode is extracted from the gate insulating film and diffuses to the surface of the semiconductor substrate due to heat treatment for activating the diffusion layer or the like, after formation of the silicon gate electrode, nitrogen N is ion implanted such that the peak of the distribution of its concentration in the depth direction is at a position in the lower portion of the silicon gate electrode.

C. Prior art

A p-channel silicon gate MOS semiconductor device is usually manufactured as follows: after formation of a gate insulating film, a polysilicon film is formed; by patterning this film, silicon gate electrodes are formed; then, with silicon gate electrodes as a mask or with the silicon gate electrodes and the side walls formed on their side surfaces used as a mask, ion implantation is performed for boron B on the surface portion of the semiconductor substrate so as to form source/drain regions. In this case, boron B is also doped in the silicon gate electrodes. Especially,

boron ion implantation may be carried out in the polysilicon film after formation of the polysilicon film as silicon gate electrodes and before patterning.

However, for a p-channel MOS semiconductor device prepared with the gate electrodes made of p^+ type polysilicon, due to heat treatment for activating the diffusion layer and flattening of the interlayer insulating film, boron in the silicon gate electrode is extracted and it enters the semiconductor substrate. As a result, the cutoff characteristics degrade, and the threshold voltage varies. This was described in 1990 Haru Oyobusuri Gakkai Yokoshu [Preprints of 1990 Spring Symposium of the Japan Society of Applied Physics], p. 568, 28p-ZB-6: "Effect in suppressing extraction of boron in a PMOSFET using nitride oxide gate insulating film." As a measure for solving this problem, after formation of the gate insulating film (after gate oxidation), the gate insulating film is nitrided. It was reported that an effect in suppressing extraction of boron was actually realized.

D. Problems to be solved by the invention

However, for the aforementioned technology for preventing extraction of boron, the following difficult step of operation is needed: after gate oxidation, ramp nitration is carried out in an NH_3 atmosphere, and ramp oxidation is performed in an O_2 atmosphere.

Also, for a CMOSIC, there is no problem of extraction of impurities from the silicon gate electrode to the semiconductor substrate for n-channel MOSFETs formed at other sites of the same semiconductor substrate. Consequently, the gate insulating film is nitrided. As a result, the dielectric constant becomes larger, and the gate capacitance rises. This is undesired.

The objective of this invention is to solve the aforementioned problems of the prior art by providing a method for preventing extraction of boron from a p-type silicon gate electrode with diffusion into the surface of the semiconductor substrate due to heat treatment for activating the diffusion layer, etc.

E. Means for solving the problems

In order to solve the aforementioned problems, this invention provides a method for manufacturing a silicon gate p-channel MOS semiconductor device characterized by the fact that it has a step of operation in which after silicon gate electrodes are formed on a gate insulating film made of silicon oxide on the surface of a substrate, nitrogen is ion implanted such that the peak in the distribution of its concentration in the depth direction is located in the lower portion of a silicon gate electrode.

F. Operation

According to the method for manufacturing a silicon gate p-channel MOS semiconductor device of this invention, by simply adding a step of ion implantation of nitrogen N after formation of the silicon gate electrode, by means of nitrogen N, it is possible to suppress extraction of boron B in the heat treatment for activation.

Also, nitriding of the gate insulating film of an n-channel MOSFET forming portion can be easily avoided by using the n-channel MOSFET forming portion as a resist film during ion implantation.

G. Application example (Figure 1)

In the following, this method for manufacturing silicon gate p-channel MOS semiconductor device of this invention will be explained in detail with reference to an application example illustrated in figures.

Figures 1(A)-(C) are cross-sectional views illustrating steps of operation in an application example of the method for manufacturing a silicon gate p-channel MOS semiconductor device of this invention.

(A) After channel stopper (2), selective oxide film (3), and gate oxide film (4) are formed on substrate (1), polycide film (7) composed of p-type polysilicon film (5) and tungsten (or molybdenum) silicide film (6) is formed.

(B) Then, an n-channel MOSFET forming region is masked with resist film (8). The reason is as follows: for an n-channel MOSFET, there is no way to realize an effect in suppressing extraction of impurities (such as phosphorus P or arsenic As) by means of doping of nitrogen N, instead, this leads to an undesired increase in the gate capacitance. Consequently, doping of nitrogen N in the n-channel MOSFET region should be avoided.

(C) Then, ion implantation of nitrogen ions N^+ is carried out such that the peak of distribution of concentration in the depth direction is located beyond tungsten (or molybdenum) silicide film (7) and beneath polysilicon film (5). (9) represents the curve of the distribution of the concentration of nitrogen N in the depth direction.

Then, the manufacturing process is continued in the same way as in a conventional method for manufacturing MOS semiconductor devices.

According to this invention, by simply implementing ion implantation of nitrogen N, in the later step of annealing, the lower portion of polysilicon film (7) is nitrided, so that extraction of boron B in p^+ type polysilicon (5) can be suppressed by the nitride.

Also, undesired ion implantation of nitrogen N into the n-channel MOSFET region can be prevented by forming resist film (8) as a mask.

H. Effect of the invention

As explained above, according to the method for manufacturing a silicon gate p-channel MOS semiconductor device in this invention, there is a step of operation in which after silicon gate electrodes are formed on a gate insulating film made of silicon oxide on the surface of a substrate, nitrogen is ion implanted such that the peak in the distribution of its concentration in the depth direction is located in the lower portion of a silicon gate electrode.

As a result, in the method for manufacturing a silicon gate p-channel MOS semiconductor device of this invention, by simply adding a step of ion implantation of nitrogen after formation of silicon gate electrodes, it is possible to nitride the lower portion of a silicon gate electrode so as to prevent extraction of boron in the later step of heat treatment for activation.

Also, undesired nitriding of the gate insulating film in an n-channel MOSFET forming region can be easily avoided by masking the n-channel MOSFET forming region with a resist film in the ion implantation.

Brief description of figures

Figures 1(A)-(C) are cross-sectional views illustrating the steps of operation in an application example of the method for manufacturing a silicon gate p-channel MOS semiconductor device in this invention.

Explanation of part numbers

- 1 Semiconductor substrate
- 4 Gate insulating film
- 5 p-type silicon gate electrode

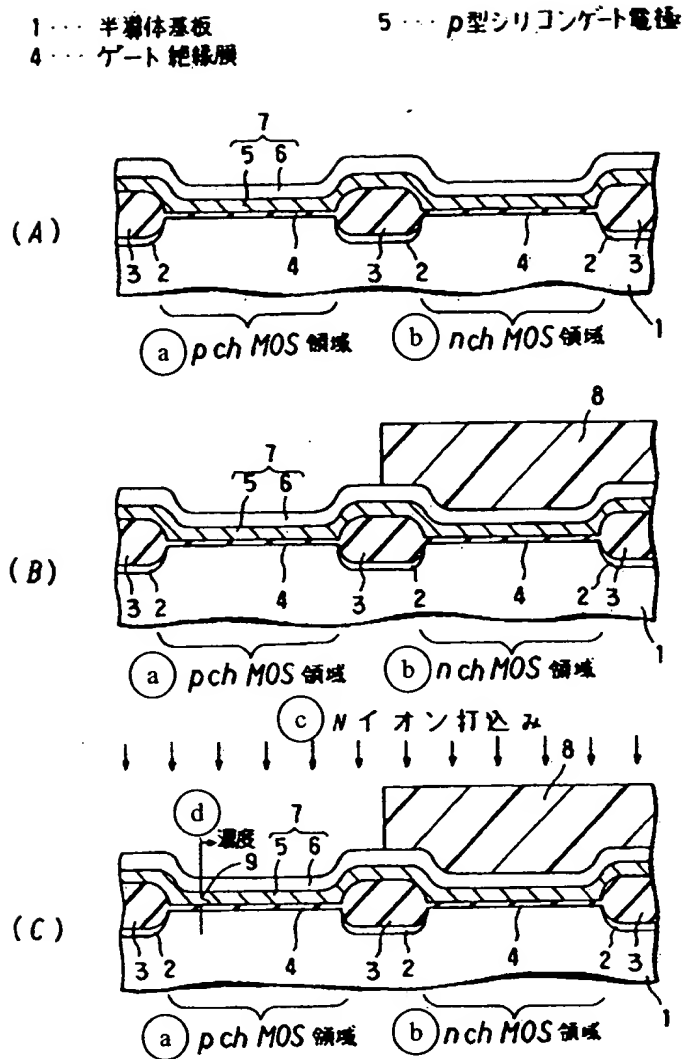


Figure 1. Cross-sectional views illustrating the steps of operation in an application example

- Key:
- a p ch MOS region
 - b n ch MOS region
 - c N ion implantation
 - d Concentration
 - 1 Semiconductor substrate
 - 4 Gate insulating film
 - 5 p-type silicon gate electrode

PTO 2003-3271

S.T.I.C. Translations Branch

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-157766

⑨ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)5月29日

H 01 L 29/784
21/265
21/266
27/092

8422-4M H 01 L 29/78 3 0 1 G
7738-4M 21/265 M
7738-4M G
7735-4M 27/08 3 2 1 D

審査請求 未請求 請求項の数 1 (全4頁)

⑥ 発明の名称 シリコンゲートpチャネルMOS半導体装置の製造方法

⑦ 特 願 平2-282798

⑦ 出 願 平2(1990)10月20日

⑧ 発 明 者 千 島 健 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑧ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑧ 代 理 人 弁理士 尾川 秀昭

明 細 書

1. 発明の名称

シリコンゲートpチャネルMOS半導体装置
の製造方法

2. 特許請求の範囲

(1) 半導体基板表面上のシリコン酸化物からなるゲート絶縁膜上にシリコンゲート電極を形成した後、窒素を、深さ方向の濃度分布のピークがシリコンゲート電極の下部にくるようにイオン打込みする工程を有する

ことを特徴とするシリコンゲートpチャネルMOS半導体装置の製造方法

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例【第1図】

H. 発明の効果

(A. 産業上の利用分野)

本発明はシリコンゲートpチャネルMOS半導体装置の製造方法、特にゲート電極がp型のポリシリコンからなるpチャネルMOS半導体装置の製造方法に関する。

(B. 発明の概要)

本発明は、上記のシリコンゲートpチャネルMOS半導体装置の製造方法において、

拡散層の活性化等のための熱処理によりp型シリコンゲート電極中のボロンBがゲート絶縁膜を突き抜けて半導体基板表面に拡散するのを防止するため、

特開平4-157766(2)

に、その下部に高さ方向の濃度分布のピークがくるように窒素Nをイオン打込みするものである。

(C. 従来技術)

PチャンネルのシリコンゲートMOS半導体装置は、一般にゲート絶縁膜形成後ポリシリコン膜を形成し、これをパターニングすることによりシリコンゲート電極を形成し、しかる後、シリコンゲート電極をマスクとしてあるいはシリコンゲート電極とその側面に形成したサイドウォールをマスクとして半導体基板の表面部にボロンBをイオン打込みすることによりソース・ドレイン領域を形成する。その際に、シリコンゲート電極中にもボロンBがドーパされる。尤も、シリコンゲート電極となるポリシリコン膜の形成後パターニング前に該ポリシリコン膜中にボロンをイオン打込みする場合もある。

ところで、ゲート電極がp⁺型のポリシリコンからなるpチャンネルMOS半導体装置においては、拡散層の活性化、層間絶縁膜の平坦化等の熱

ら半導体基板への不純物の突き抜けという問題が全くないのにゲート絶縁膜が酸化されその結果その誘電率が大きくなってゲート容量が増大してしまうという問題があった。

本発明はこのような問題点を解決すべく為されたものであり、拡散層の活性化等のための熱処理によりp型シリコンゲート電極中のボロンがゲート絶縁膜を突き抜けて半導体基板表面に拡散するのを防止することを目的とする。

(E. 問題点を解決するための手段)

本発明シリコンゲートpチャンネルMOS半導体装置の製造方法は上記問題点を解決するため、シリコンゲート電極形成後該シリコンゲート電極の下部に高さ方向の濃度分布のピークがくるように窒素Nをイオン打込みすることを特徴とする。

(F. 作用)

本発明シリコンゲートpチャンネルMOS半導

処理によりシリコンゲート電極中のボロンが半導体基板側に突き抜け、そのため、カットオフ特性が悪くなり、また、しきい値電圧が変動したりする。このことは1990年春季応用物理学会予稿集第568頁28p-ZB-6「酸化酸化ゲート絶縁膜を用いたPMOSFETにおけるボロンの突き抜け抑制効果」にも紹介されている。そして、その対策としてゲート絶縁膜形成後(ゲート酸化後)、該ゲート絶縁膜を酸化することが提案され、そして、実際にボロンの突き抜けを抑制する効果があることが報告されている。

(D. 発明が解決しようとする問題点)

ところで、上記ボロン突き抜け防止技術によれば、ゲート酸化後NH₃雰囲気でランプ酸化し、O₂雰囲気でランプ酸化するという面倒な工程を必要とした。

また、CMOSICの場合において同じ半導体基板の別のところに形成されるnチャンネルMOSFETについては、シリコンゲート電極が

形成後基に窒素Nのイオン打込み工程を付加するだけで、その後の活性化等のための熱処理の工程で自ずと窒素Nの動きによりボロンBの突き抜けが抑制される。

そして、nチャンネルMOSFET形成部のゲート絶縁膜が酸化される虞れば、イオン打込みの際nチャンネルMOSFET形成部をレジスト膜でマスクすることにより容易に回避し得る。

(G. 実施例)【第1図】

以下、本発明シリコンゲートpチャンネルMOS半導体装置の製造方法を図示実施例に従って詳細に説明する。

第1図(A)乃至(C)は本発明シリコンゲートpチャンネルMOS半導体装置の製造方法の一つの実施例を工程順に示す断面図である。

(A) 基板1に、チャンネルストップ2、溝状酸化膜3、ゲート酸化膜4を形成した後、p型のポリシリコン膜5及びタングステン(あるいはモリ

特開平4-157766(3)

7を形成する。

(B)次に、 n チャンネルMOSFET形成領域をレジスト膜8でマスクする。というのは、 n チャンネルMOSFETにおいては窒素Nのドーピングにより不純物(例えばリンPあるいは砒素As)の突き抜け抑制効果を得ることは出来ないし、それによってゲート容量の増加という弊害のみ生じるから n チャンネルMOSFET領域への窒素Nのドーピングを阻むためである。

(C)その後、タングステン(あるいはモリブデン)シリサイド膜9越しにポリシリコン膜5の下部に深さ方向の濃度分布のピークが来るように窒素イオンN⁻をイオン打込みする。9は図素Nの深さ方向の濃度分布曲線である。

その後は、普通のMOS半導体装置の製造方法と同じ方法で製造を終れる。

本方法によれば、単に窒素Nをイオン打込みするだけでその後のアニールによりポリシリコン膜7の下部が窒化されるので p -型ポリシリコン5中のボロンBが半導体基板1に突き抜けるのを

その窒化物によって抑制することができる。

そして、 n チャンネルMOSFET領域への窒素Nの不要なイオン打込みはレジスト膜8をマスクとして形成することにより阻むことができる。

(H. 発明の効果)

以上に述べたように、本発明シリコンゲート p チャンネルMOS半導体装置の製造方法は、半導体基板表面上のシリコン酸化物からなるゲート絶縁膜上にシリコンゲート電極を形成した後、窒素を深さ方向の濃度分布のピークがシリコンゲート電極の下部にくるようにイオン打込みする工程を有することを特徴とするものである。

従って、本発明シリコンゲート p チャンネルMOS半導体装置の製造方法によれば、シリコンゲート電極形成後単に窒素のイオン打込み工程を付加することのみにより、その後の活性化のための熱処理の工程でおのずとシリコンゲート電極の下部が窒化されてボロンの突き抜けを抑制される。

そして、 n チャンネルMOSFET形成部のゲート絶縁膜が窒化される虞れはイオン打込みの際 n チャンネルMOSFET形成部をレジスト膜でマスクすることにより容易に回避し得る。

4. 図面の簡単な説明

第1図(A)乃至(C)は本発明シリコンゲート p チャンネルMOS半導体装置の製造方法の一つの實施例を工程順に示す断面図である。

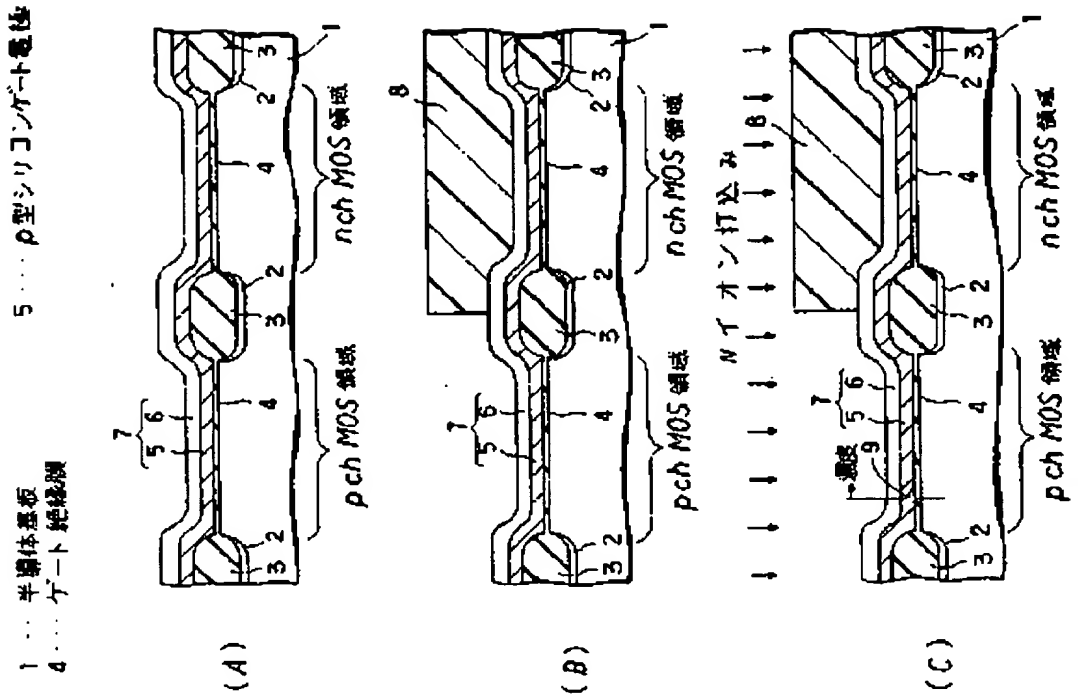
符号の説明

- 1・・・半導体基板、
- 4・・・ゲート絶縁膜、
- 5・・・ p 型シリコンゲート電極、

出 願 人 ソ ニ ー 株 式 会 社
代理人井堀士 岡 川 秀 昭



特開平4-157766(4)



実施例を工程順に示す断面図
第1図